

Prof. dr Siniša G. Minić

INFORMACIONE TEHNOLOGIJE

LEPOSAVIĆ, 2015.

Glava 4

Kombinacione mreže

DIGITALNE logičke mreže mogu se klasifikovati u dve grupe, kombinacione i sekvencijalne. Izlazni signal kombinacionih logičkih mreža zavisi samo od tekućih vrednosti ulaznih signala. Daljinsko otključavanje zajedničkih ulaznih vrata u višespratnicama je tipičan primer kombinacione mreže. Elektromagnet brave (izlaz) je aktiviran samo za vreme dok je taster u bilo kom stanu (ulazni signal) pritisnut.

Izlazi sekvencijalne logičke mreže zavise ne samo od tekuće kombinacije, već i prethodne sekvence ulaznih signala. Kao primer sekvencijalne mreže može da posluži automatska brava koja se otvara šifrom otkucanom na tastaturi. Brava će se otvoriti (izlazni signal će postojati) samo ako je otkucana ispravna šifra (definisana sekvencia ulaznih signala).

Kombinacione mreže mogu da sadrže proizvoljan broj logičkih kola, ali ne sadrže povratnu spregu, odnosno izlazni signal sa bilo kog kola se ne sme dovoditi na ulaz mreže. Digitalne mreže sa povratnom spregom sa ponašaju kao sekvencijalne mreže.

Kombinacione mreže se koriste u svim digitalnim mrežama, počev od najprostijih digitalnih uređaja do velikih "super" računara. Zbog veoma široke primene, a i sbog specifičnih, standardizovanih, funkcija koje su zajedničke za raznovrsne digitalne sisteme, pojedini tipovi mreža su dobili naziv prema funkciji koju obavljaju, na primer: dekoder, koder, multipleks, generator parnosti. Za analizu, sintezu i projektovanje, kako standardnih, tako i specifičnih kombinacionih mreža, potrebno je poznavati prekidačku algebru, minimizaciju logičkih funkcija, kao i više pravila koja projektant mora da se pridržva, kako bi realizovana mreža pouzdano obavljala zadatu funkciju.

Prilikom projektovanja digitalnih uređaja potrebno je izvršiti sintezu kombinacione mreže koja će da obavlja neku zadatu prekidačku funkciju. Često je problem

koji treba rešiti zadata kombinaciona tabela kojom je definisano za koju kombinaciju ulaznih signala izlaz mreže treba da ima vrednost logičke nule ili jedinice. Na osnovu kombinacione tabele može se direktno napisati logička funkcije koju mreža treba da obavlja.

4.1 Kola za sabiranje

Sabiranje je je najčešće korišćena aritmetička operacija u računarskim sistemima. Pomoću sabirača se može obavljati sabiranje neoznačenih brojeva, oduzimanje označenih brojeva, množenje i deljenje označenih i neoznačenih brojeva.

Poznato je da sa n -to cifreni brojevi, $n \geq 1$, mogu sabirati serijski ili paralelno. Serijsko sabiranje zahteva n vremenskih intervala, gde se u svakom vremenskom intervalu sabira par cifara iz istih pozicija sabiraka. Paralelno sabiranje se može obaviti za kraće vreme, pa se ono skoro isključivo koristi u savremenim računarima.

Razlikujemo dva tipa elementarnih sabirackih kola a to su polusabirač (engl. Half Adder) i potpuni sabirač (engl. Full Adder). Polusabirač predstavlja kombinaciono kolo koje prihvata dve binarne cifre, a generiše bit sume i bit prenosa. Potpuni sabirač je kombinaciono kolo koje prihvata dve binarne cifre i dolazeći bit prenosa, a generiše odgovarajući bit sume i izlazni bit prenosa. Napomenimo da je jednobitni potpuni sabirač gradivni element svih paralelnih sabirača.

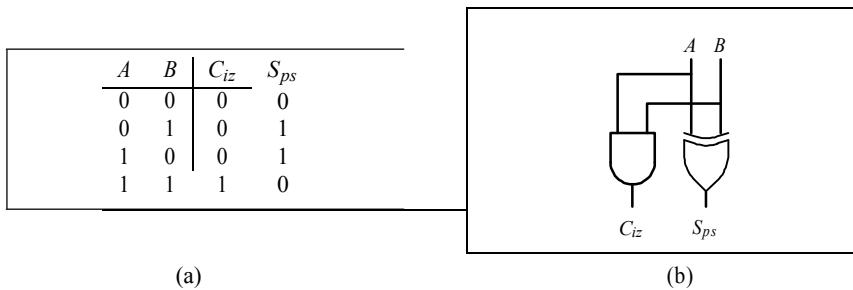
4.1.1 Polusaburač

Polusabirač (eng. Half adder) je najprostija kombinaciona mreža za sabiranje koja omogućava da se saberi dva jednobitna binarna broja bez uzimanja u obzir prenosa iz predhodne pozicije. Ulagani podaci su binarne cifre A i B , a rezultat može biti 0, 1 ili 10_2 . Bit manje težine rezultata predstavlja zbir brojeva A i B i označen je sa S_{ps} , dok je bit veće težine rezultata prenos u stariji razred i označava se sa C_{iz} . U tabeli na Slici 4.1 data je zavisnost promenljivih C_{iz} i S_{ps} od kombinacije ulaznih binarnih brojeva A i B .

Iz tabele na Slici 4.1 mogu se formirati logičke funkcije izlaznih promenljivih polusabirača

$$\begin{aligned} S_{ps} &= \bar{A} \cdot B + A \cdot \bar{B} \\ C_{iz} &= A \cdot B \end{aligned} \tag{4.1}$$

Iz jednačine(4.1) se vidi da je rezultat sabiranja S_{ps} isključivo ILI funkcija binarnih brojeva A i B , dok je prenos u sledeći razred, C_{iz} , logička I funkcija ulaznih brojeva.



Sl. 4.1: Kombinaciona tablica (a) i logička šema (b) polusabirača.

Na Slici 4.1 prikazana je i logička šema polusabirača. Kada se sabiraju višecifreni binarni brojevi, polusabirač može da se koristi samo za sabiranje cifara najmanje težine, s obzirom da polusabirač ne može da sabere cifru prenosa iz predhodnog razreda.

4.1.2 Potpuni sabirač

Potpuni sabirač je kombinaciona mreža sa tri ulaza i dva izlaza (Slika 4.2(c)). Na ulaze A i B se dovode binarne cifre koje se sabiraju, a na ulaz C_{ul} cifra prenosa iz predhodne pozicije. Na izlazu S se dobija suma binarnih cifara prisutnih na ulazima A i B , a na izlazu C_{iz} prenos u sledeću poziciju.

Potpuni sabirač može da se sintetizuje formiranjem logičkih funkcija na osnovu tabele na Slici 4.2(a). Iz tabele sledi

$$\begin{aligned} S &= \bar{A} \cdot \bar{B} \cdot C_{ul} + \bar{A} \cdot B \cdot \bar{C}_{ul} + A \cdot \bar{B} \cdot \bar{C}_{ul} + A \cdot B \cdot C_{ul} \\ C_{iz} &= \bar{A} \cdot B \cdot C_{ul} + A \cdot \bar{B} \cdot C_{ul} + A \cdot B \cdot \bar{C}_{ul} + A \cdot B \cdot C_{ul} \end{aligned} \quad (4.2)$$

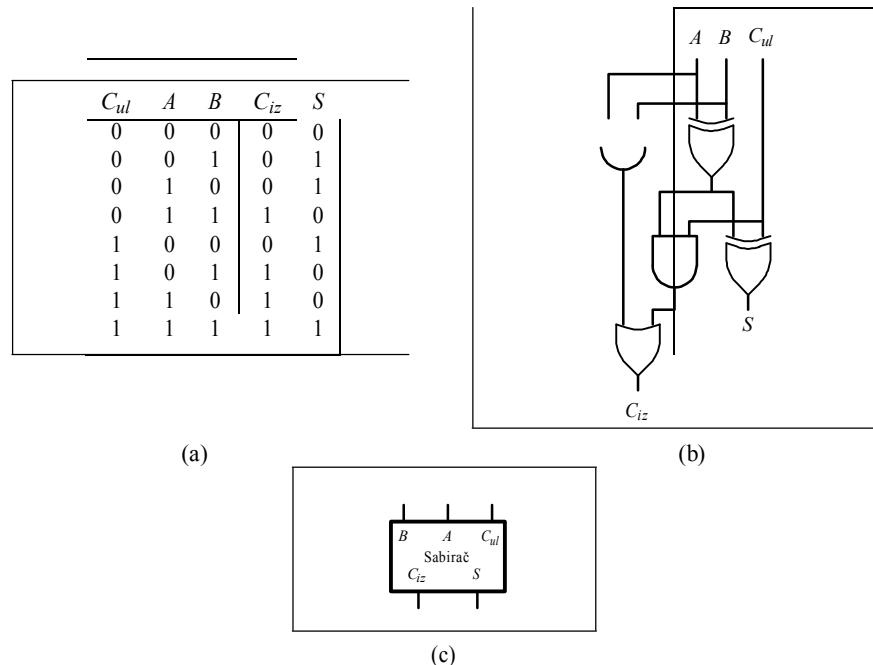
Jednačine (4.2) mogu da se preurede u formu¹

$$\begin{aligned} S &= A \oplus B \oplus C_{ul} \\ C_{iz} &= (A \oplus B) \cdot C_{ul} + A \cdot B \end{aligned} \quad (4.4)$$

Na Slici 4.2(b) prikazan je logička šema potpunog sabirača sintezivanovog korišćenjem jednačine (4.4), dok je na Slici 4.2(c) prikazan simbol potpunog sabirača.

¹

$$\begin{aligned} S &= \bar{A} \cdot B \oplus C_{ul} + A(\bar{A} \cdot \bar{C}_{ul} + B \cdot C_{ul}) \\ &= \bar{A} \cdot B \oplus C_{ul} + A \cdot \bar{B} \oplus C_{ul} \\ &= A \oplus B \oplus C_{ul} \end{aligned} \quad (4.3)$$



Sl. 4.2: Kombinaciona tablica (a), logička šema (b) i simbol (c) potpunog sabirača

Kao što se iz Slike 4.2(b) vidi, za sintezu potpunog sabirača potrebna su dva polusabirača jedno ILI kolo. Sabirač se može sintetizovati i na osnovu jednačina 4.2), odnosno sumom proizvoda. Ovakv sabirač bi sadržao veći broj logičkih kola, ali bi vreme potrebno za izvršenje operacije sabiranja bilo kraće s obzirom da je vreme izvršenja ILI operacije ekvivalentno vremenu izvršenja tri logičke operacije: komplementiranje-I kolo- ILI kolo.

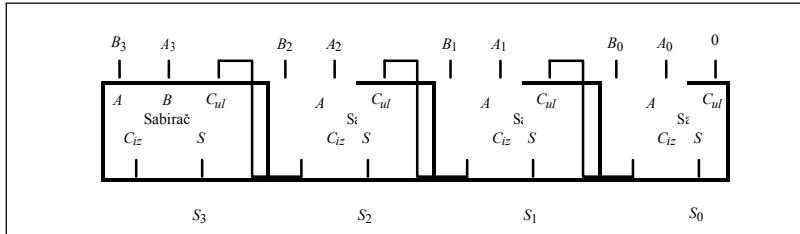
Napomenimo da su za sintezu potpunog sabirača potrebna dva polusabirača i jedno I kolo.

Poznato je da se n -to cifreni brojevi mogu sabirati seriski ili paralelno. Serisko sabiranje zahteva n vremenskih intervala, gde u svakom vremenskom intervalu sabira par cifara iz istih pozicija sabiraka.

Paralelno sabiranje se može obaviti za kraće vreme, pa se ono stoga isključivo i koristi u savremenim računarima. Jednobitni potpuni sabirač, je glavni element svih paralelnih sabirača. Sabiranje višecifrenih binarnih brojeva se obavlja kaskadno vezanim potpunim sabiračima, kao što je to, za primer dva četvorocifrena broja, prikazano na Slici 4.3.

Na poziciji bita najmanje težine, s obzirom da nema ulaznog prenosa, može se koristiti potpuni sabirač ili polusabirač. U slučaju da se koristi potpuni sabirač, ulaz

c_{ul0} treba spojiti na nivo logičke nule. Izlazni signal prenosa iz svakog sabirača je spojen kao ulazni signal prenosa za sabirač višeg razreda. Na ovaj način je omogućeno da svi sabirači u mreži budu međusobno jednaki.



Sl. 4.3: Četvororbitni paralelni sabirač sa serijskim prenosom.

Sabirač na slici 4.3 naziva se paralelni sabirač sa rednim prenosom (eng. ripple carry adder) zbog načina prostiranja prenosa kroz susedne pozicije sume. Maksimalno vreme potrebno za sabiranje na ovakovom sabiraču dužine n bitova određeno je vremenom prostiranja prenosa kroz svih n pozicija sabirača.

4.2 Kola za oduzimanje

Slično polusabiraču definiše se i polouduzimač (eng. Half Subtractor) koji služi za oduzimanje dva jednobitna neoznačena binarna broja kada se ne koristi komplementarno predstavljanje predznaka broja. Kombinacione tablice kojima je opisan način funkcionisanja polouduzimača i potpunog oduzimača date su na Slici 4.4, gde su sa x i y označene cifre brojeva, sa B_{ul} i B_{iz} ulazne i izlazne cifre "pozajmice", a sa D cifra razlike $D = x - y - B_{ul}$.

		B_{iz}	D_{po}
x	y		
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

(a)

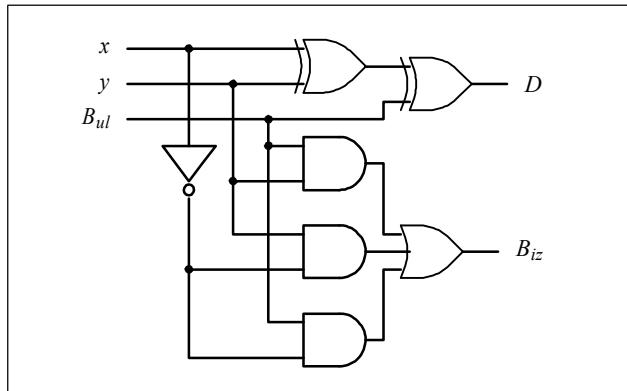
y	B_{ul}	D	B_{iz}
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	1
0	0	1	0
0	1	0	0
1	0	0	0
1	1	1	1

(b)

Sl. 4.4: Kombinaciona tablica polouduzimača (a) i potpunog oduzimača (b)

Potpuni oduzimač se može da se sintetizuje formiranjem logičkih funkcija na

osnovu tabele (b) na Slici 4.4. Logička šema potpunog oduzimača prikazana je na Slici 4.5.



Sl. 4.5: Logička šema potpunog oduzimača

Imajući u vidu da je $xy + \bar{x}\bar{y} = \bar{x} \oplus \bar{y}$, iz tabele (b) na Slici 4.4 nakon minimizacije logičkih funkcija D i B_{iz} , sledi

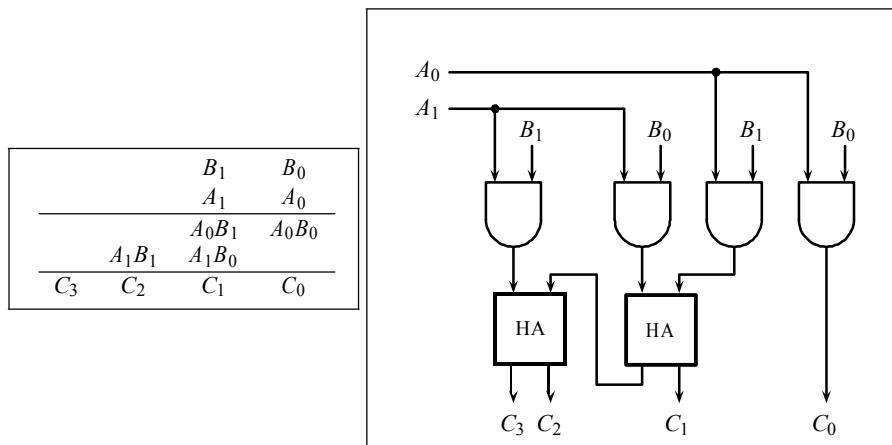
$$\begin{aligned} D &= x \oplus y \oplus B_{ul} \\ B_{iz} &= \bar{x}y + \bar{x}B_{ul} + yB_{ul} \end{aligned} \quad (4.5)$$

4.3 Kola za množenje

Kao što je već rečeno, množenje neoznačenih brojeva odvija se na isti način kao i množenje decimalnih brojeva. Množenik se množi svakim bitom množioca, počevši od bita najmanje težine. Kao rezultat svakog svakog takvog množenja formira se parcijalni proizvod. Sukcesivni parcijalni proizvodi pomeraju se za jednu bitsku poziciju u levo. Konačni rezultat se dobija kao suma parcijalnih proizvoda.

Na Slici 4.6 prikazana je logička šema za množenje dva dvobitna boja: A_1A_0 i B_1B_0 . Prva parcijalna suma se dobija množenjem binarnog broja B_1B_0 sa A_0 . Množenjem dva bita generiše se jedinica ako su oba bita jednakna jedinici, u suprotnom generiše se nula. Ova operacija je identična logičkoj I operaciji. Zbog toga se parcijalni proizvodi implementiraju pomoći I logičkog kola. Drugi parcijalni proizvod se formira množenjem binarnog broja B_1B_0 sa A_1 i pomeranjem za jednu poziciju u levo. Oba ova parcijalna proizvoda se sabiraju pomoću dva polusabirača koju sa na Slici 4.6 obeleženi sa HA.

Obično postoji veliki broj bitova u parcijalnim proizvodima tako da je, umesto



Sl. 4.6: Logička šema za množenje dva dvobitna broja

polusabirača, neophodno koristiti potpune sabirače kako bi generisali korektnu sumu parcijalnih proizvoda.

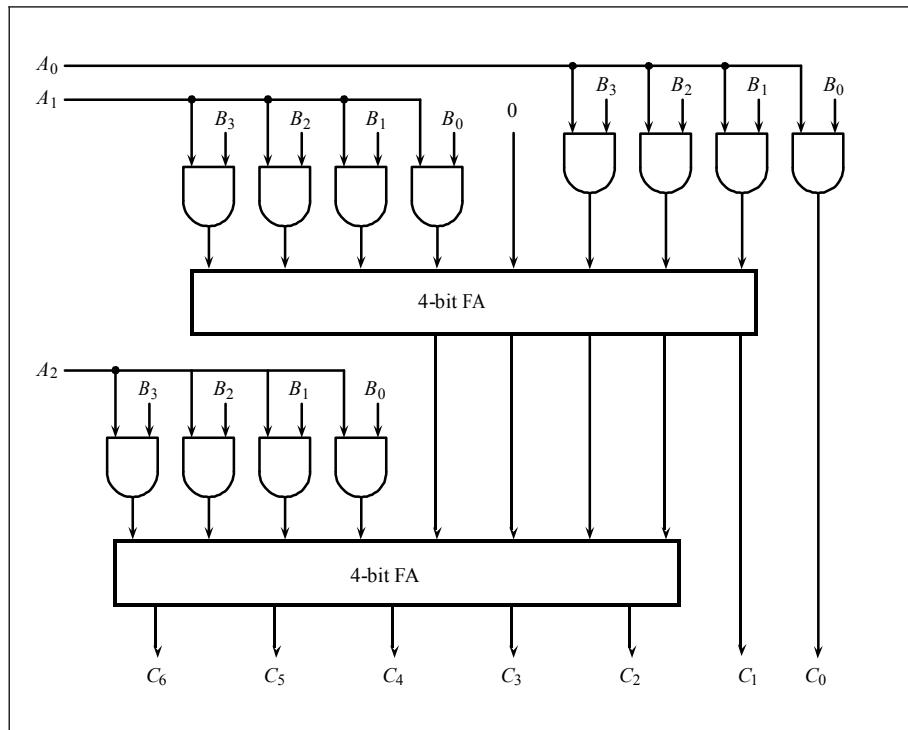
U opštem slučju operacija množenja dva binarna broja A i B je definsana kao

$$\begin{aligned}
 C = A \times B &= \sum_{k=0}^{m+n-1} C_k 2^k \\
 &= \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} B_i A_j 2^{i+j}
 \end{aligned} \tag{4.6}$$

gde su m i n dužine binarnih brojeva A i B . Može se uočiti da postoji veliki broj bitova u parcijalnim proizvodima tako da se, umesto polusabirača, koriste potpuni sabirači za generisanje korektnе sume proizvoda. Na Slici 4.7 prikazan je paralelni množač za množenje četvorobitnog množenika $B_3B_2B_1B_0$ trobitnim množiocem $A_2A_1A_0$, a koji koristi četvorobitne potpune sabirače.

Za množenje četvorocifrenog broja trocifrenim brojem treba formirati 12 parcijalnih proizvoda $B_i A_j$. Broj sabirača odrđuje broj nivoa sabiranja i zavisi od broja cifara množioca. Za množilac od n cifara broj nivoa sabiranja iznosi $n - 1$. Lako se može videti da je za množenje dva broja potrebno $n \times m$ logičkih I kola. Umesto polusabirača množač sadrži potpune sabirače koji su na Slici 4.7 obeleženi sa FA.

Treba napomenuti da se struktura množača označenih brojeva razlikuje od strukture množača neoznačenih brojeva. Princip rada je sledeći. Najpre se izvrši konverzija označenih u neoznačene brojeve, a zatim se izvrši množenje neoznačenih brojeva. Na kraju, na osnovu pravila za formiranje znaka izvrši se konverzija rezultata u označenu vrednost.



Sl. 4.7: Kolo za množenje četvorobitnog množenika trobitnim množiocem

4.4 Dekoderi

Dekoderi su kombinacione mreže sa više ulaza i više izlaza, gde svaka dozvoljena kombinacija ulaznih promenljivih aktivira poseban izlaz. Dekoderi mogu biti potpuni, u kojima za n ulaznih promenljivih postoji 2^n izlaznih funkcija i nepotpuni gde je broj izlaznih funkcija manji os 2^n , odnosno gde se određene kombinacije ulaznih promenljivih ne mogu pojaviti.

4.4.1 Potpuni dekoderi

Potpuni dekoderi se nazivaju i binarni dekoderi, pošto su ulazne promenljive binarno kodirani brojevi, a za svaku kombinaciju ulaznih promenljivih postoji samo jedan aktivni izlaz mreže. Na primer, ako trocifreni broj $A_2A_1A_0$ predstavlja ulaz u dekodersku mrežu, tada postoji 2^3 kombinacija, odnosno 8 izlaza iz mreže. U tabeli 4.1 prikazane su sve kombinacije ulaznih i izlaznih promenljivih.

Iz Tabele 4.1 se vidi da svaka izlazna funkcija mreže sadrži samo po jedan član

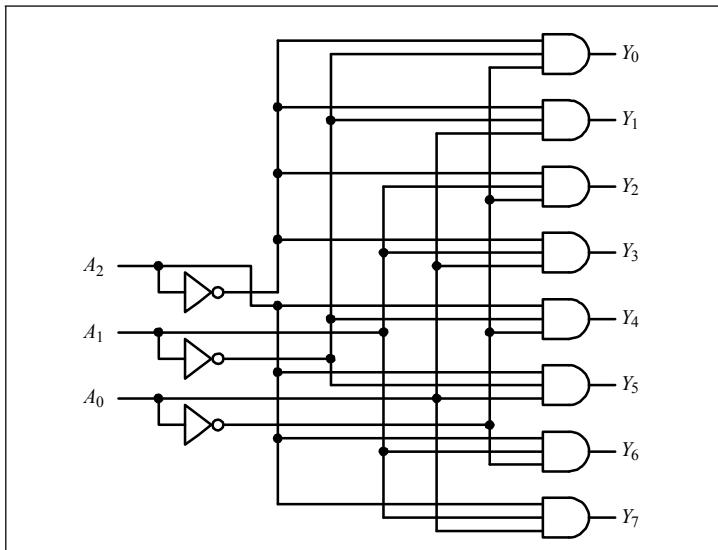
Tab. 4.1: Kombinaciona tabela dekodera sa tri ulaza

A_2	A_1	A_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

logičkog proizvoda. Izlazi mreže su dati jednačinama

$$\begin{aligned}
 Y_0 &= \overline{A_2} \overline{A_1} \overline{A_0} \\
 Y_1 &= \overline{A_2} \overline{A_1} A_0 \\
 &\dots \\
 Y_7 &= A_2 A_1 A_0
 \end{aligned} \tag{4.7}$$

Logička mreža, koja realizuje navedene funkcije, može se realizovati korišćenjem samo logičkih I kola i invertora, a minimizacija mreže nije moguća. Mreža je prikazana na Slici 4.8.



Sl. 4.8: Potpuni dekoder

Dekoder prikazan na Slici 4.8 se često naziva 3/8 ili 1 od 8 dekoder. Može biti